

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-092745
 (43)Date of publication of application : 10.04.1998

(51)Int.CI. H01L 21/20
 G02F 1/136
 H01L 29/786
 H01L 21/336

(21)Application number : 08-242782
 (22)Date of filing : 13.09.1996

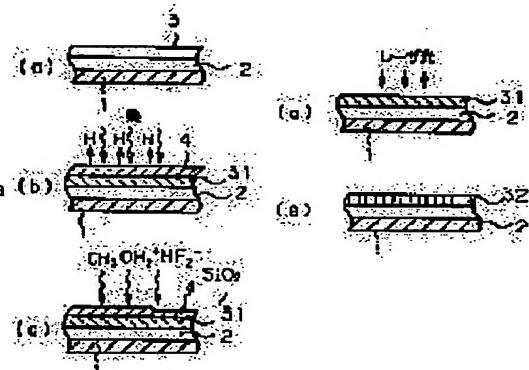
(71)Applicant : TOSHIBA CORP
 (72)Inventor : MATSUURA YUKI
 MIHASHI HIROSHI
 KAWAHISA YASUTO

(54) METHOD AND DEVICE FOR MANUFACTURING CRYSTAL SEMICONDUCTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the generation of unevenness on the surface of a polycrystal silicon film, caused by the existence of a native oxide, and enable satisfactory formation of an element by removing a native oxide on the surface of an amorphous semiconductor film formed on a substrate, and at the same time, irradiating the surface of the semiconductor with an energy beam.

SOLUTION: After a silicon oxide film as an undercoat layer 2 is formed on an insulating substrate 1, an amorphous silicon film 3 is formed on the silicon oxide film. Then, heat annealing is carried out on the amorphous silicon film, thus dehydrogenating the film. Thus, a native oxide 4 is formed on a polycrystal silicon film surface 31. Then, the natural oxide film 4 on the surface is removed by etching in a dry etching chamber, and the substrate on which etching is completed in a vacuum is transported into a laser annealing chamber, via a transfer chamber maintained in a vacuum. The amorphous silicon surface 31 is irradiated with a laser beam, thus forming a polycrystal silicon film 32 on the entire surface of the substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(20) 公開特許公報 (A)

【特許請求の範囲】

【請求項1】基板上に非晶質半導体膜を形成する工程と、この非晶質半導体膜表面の自然酸化膜を除去する工程と、前記半導体膜表面に前記自然酸化膜が除去された状態で前記半導体膜表面にエネルギーヒーメムを照射する工程とを具備することを特徴とする結晶半導体の製造方法。

【請求項2】前記處理基板を取扱いした後、前記第1のチャンバーと、前記非晶質半導体膜を形成する第1のチャンバーとドライエッチャング手段と、前記非晶質半導体膜表面にエネルギーヒーメムを照射する手段と、前記被処理基板を吸引し前記非晶質半導体膜表面に前記エネルギーヒーメムを照射可能な第2のチャンバーとを備え、前記第1のチャンバーと前記第2のチャンバーとを接続する真空系を具備することを特徴とする結晶半導体の製造装置。

【請求項3】前記第1のチャンバー、前記第2のチャンバー、及び前記真空系の真空度は 1×10^{-4} Pa以下の測定真空度となる事を特徴とする請求項2に記載の結晶半導体の製造装置。

【免許の詳細な説明】

【請求項4】前記の製造する技術分野】本発明は、結晶半導体の製造方法および製造装置に関する。

【0001】

【從来の技術】近年、カラー液晶ディスプレイを始めとし、入出力デバイスの高密度化、コンパクト化、低コスト化を実現する技術として、多結晶シリコン薄膜トランジスタ(以下多結晶シリコンTFT)が注目されている。多結晶シリコンTFTを用いて液晶ディスプレイを

形成した場合、画素スイッチング用のTFT以外に、高運動性が可能であることから駆動回路にもTFTを採用し、駆動回路一形成ができ、駆動用のICやその接続が不要となるという利点がある。

【0003】液晶ディスプレイへの適用では、無アルカリガラス等の基板上に多結晶シリコンTFTを形成するため、基板ダメージの少ない低温プロセスで多結晶シリコン膜を形成する技術が必要である。そこで、非晶質シリコン膜をレーザアーニールにより結晶化させて多結晶シリコン膜を形成する方法がよく用いられる。この方法により形成した多結晶シリコン膜をチャネルに用いたTFTは、画素成長法やIMWで形成した多結晶シリコン膜を用いたTFTよりも高移動度であることが知られている。

【0004】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0005】このように、非晶質シリコン膜を形成した後、大気中に西したり、もしくは熱アーニールを行うと、非晶質シリコン膜表面に自然酸化膜(最大厚度1.5μm)が形成される。從来では、レーザアーニール前にこの表面自然酸化膜を除去していかなかったため、S1が溶融した後に固化する際に酸素原子や不純物原子が一部に凝集し、得られた多結晶シリコン膜表面には、多結晶シリコン膜厚50nmに対して1~3nm以上の凹凸が発生した。この表面荒さをAFMを用いて測定したRM-S値(平均二乗根差)で示したのが図3である。このような表面自然酸化膜の影響によって発生した凹凸を持った多結晶シリコン膜を活性層としたTFTを作製した場合、特に多結晶シリコン膜表面側がチャネルとなる構造でTFTを作製した場合にはゲートSiO_x/poly-Si界面に存在する1~3nmの突起のために、TFTのゲート電界強度が劣化するという問題があつた。

【0006】

【発明が解決しようとする課題】従来の製造方法は、非晶質シリコン膜をレーザアーニールして結晶化させた場合、膜表面の自然酸化膜が存在する非晶質シリコン膜を用いると、酸素原子や表面の不純物の侵襲により得られた多結晶シリコン膜表面にAFM測定値のRMS値10~30nmの凹凸が生じるため、素子の形成に不都合を生じ、例えばこのような膜を用いて多結晶シリコンTFTを形成すると、絶縁破壊特性が劣化するという問題が生じた。

【0007】本発明は、上記問題点に鑑みて成されたもので、自然酸化膜の存在に起因して発生する多結晶シリコン膜表面の自然酸化膜を除去する工程と、この非晶質半導体膜表面の自然酸化膜を除去する工程と、前記半導体膜表面に前記自然酸化膜が除去された状態で前記半導体膜面にエネルギーヒーメムを照射する工程などを特徴とする結晶半導体の製造

(1)

【0006】ついで、結晶化のためのレーザアーニール前に水素脱離を目的とした熱アーニールを行う。熱アーニール 450°C 、1hを行うと、多結晶シリコン表面には $10\text{ A}/\text{cm}^2$ 程度の自然酸化膜4が形成される。ここで、3.1は脱水素されて水蒸気圧が $5 \times 10^{-10}/\text{cmHg}$ となつた多結晶シリコン膜である(図5(b))。

【0007】次に、非晶質シリコン膜をレーザアーニールしてS1を瞬時に溶融し結晶化させる(図5(c))。最後に、自然酸化膜4をエッチャング除去してガラス基板上に形成した多結晶シリコン膜を完成する(図5(d))。

【0008】このように、非晶質シリコン膜を形成した後に大気中に西したり、もしくは熱アーニールを行うと、非晶質シリコン膜表面に自然酸化膜(最大厚度1.5μm)が形成される。從来では、レーザアーニール前にこの表面自然酸化膜を除去していかなかったため、S1が溶融した後に固化する際に酸素原子や不純物原子が一部に凝集し、得られた多結晶シリコン膜表面には、多結晶シリコン膜厚50nmに対して1~3nm以上の凹凸が発生した。この表面荒さをAFMを用いて測定したRM-S値(平均二乗根差)で示したのが図3である。このような表面自然酸化膜の影響によって発生した凹凸を持った多結晶シリコン膜を活性層としたTFTを作製した場合、特に多結晶シリコン膜表面側がチャネルとなる構造でTFTを作製した場合にはゲートSiO_x/poly-Si界面に存在する1~3nmの突起のために、TFTのゲート電界強度が劣化するという問題があつた。

【0009】免許の詳細な説明】

【0010】免許の詳細な説明】本発明は、結晶半導体の製造方法および製造装置に関する。

【0011】免許の詳細な説明】本発明は、結晶半導体の製造方法において液滴コアライを用いて液滴コアライを形成した場合、画素スイッチング用のTFT以外に、高運動性が可能であることから駆動回路にもTFTを採用し、駆動回路一形成ができ、駆動用のICやその接続が不要となるという利点がある。

【0012】免許の詳細な説明】本発明は、アセロラスシリコン膜表面にエネルギーヒーメムを照射して、熱アーニールにより結晶化させた後、ドライエッチャングからレーザアーニールの工程はモルタルアシストシリコン膜をドライエッチャングで除去した後、アセロラスシリコン膜をレーザアーニールにより結晶化させることを特長とし、ドライエッチャングからレーザアーニールの工程は真空一貫プロセスを用いて基板搬送を行ふことを特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0013】免許の詳細な説明】本発明は、上記問題点に鑑みて成されたもので、自然酸化膜の存在に起因して発生する多結晶シリコン膜表面の自然酸化膜を除去する工程と、この非晶質半導体膜表面の自然酸化膜を除去する工程と、前記半導体膜表面に前記自然酸化膜が除去された状態で前記半導体膜面にエネルギーヒーメムを照射する工程などを特徴とする結晶半導体の製造

【0014】免許の詳細な説明】本発明は、上記問題点に鑑みて成されたもので、熱アーニールによる結晶化せた基板上に非晶質半導体膜を形成するため、耐熱性の高いガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0015】免許の詳細な説明】本発明は、上記問題点に鑑みて成されたもので、熱アーニールによる結晶化せた基板上に非晶質半導体膜を形成するため、耐熱性の高いガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0016】免許の詳細な説明】本発明は、上記問題点に鑑みて成されたもので、熱アーニールによる結晶化せた基板上に非晶質半導体膜を形成するため、耐熱性の高いガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0017】免許の詳細な説明】本発明は、結晶半導体の製造方法において液滴コアライを用いて液滴コアライを

特開平10-92745

(43) 公開日 平成10年(1998)4月10日

【請求項1】基板上に非晶質半導体膜を形成する工程と、この非晶質半導体膜表面の自然酸化膜を除去する工程と、前記半導体膜表面に前記自然酸化膜が除去された状態で前記半導体膜表面にエネルギーヒーメムを照射する工程とを具備することを特徴とする結晶半導体の製造方法。

【請求項2】前記處理基板を取扱いした後、前記第1のチャンバーと、前記非晶質半導体膜を形成する第1のチャンバーとドライエッチャング手段と、前記非晶質半導体膜表面にエネルギーヒーメムを照射する手段と、前記被処理基板を吸引し前記エネルギーヒーメムを照射可能な第2のチャンバーとを備え、前記第1のチャンバーと前記第2のチャンバーとを接続する真空系を具備することを特徴とする結晶半導体の製造装置。

【請求項3】前記第1のチャンバー、前記第2のチャンバー、及び前記真空系の真空度は 1×10^{-4} Pa以下の測定真空度となる事を特徴とする請求項2に記載の結晶半導体の製造装置。

【免許の詳細な説明】

【請求項4】前記の製造する技術分野】本発明は、結晶半導体の製造方法および製造装置に関する。

【0001】

【從来の技術】近年、カラー液晶ディスプレイを始めとし、入出力デバイスの高密度化、コンパクト化、低コスト化を実現する技術として、多結晶シリコン薄膜トランジスタ(以下多結晶シリコンTFT)が注目されている。多結晶シリコンTFTを用いて液晶ディスプレイを

形成した場合、画素スイッチング用のTFT以外に、高運動性が可能であることから駆動回路にもTFTを採用し、駆動回路一形成ができ、駆動用のICやその接続が不要となるという利点がある。

【0003】液晶ディスプレイへの適用では、無アルカリガラス等の基板上に多結晶シリコンTFTを形成するため、基板ダメージの少ない低温プロセスで多結晶シリコン膜を形成する技術が必要である。そこで、非晶質シリコン膜をレーザアーニールにより結晶化させて多結晶シリコン膜を形成する方法がよく用いられる。この方法により形成した多結晶シリコン膜をチャネルに用いたTFTは、画素成長法やIMWで形成した多結晶シリコン膜を用いたTFTよりも高移動度であることが知られている。

【0004】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0005】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0006】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0007】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

(51) [el.C.]	識別記号	P1
H01L 21/20	500	500
G02F 1/136	500	500
H01L 28/788	21/336	627G

(21) 出願記号	特開平8-242782	(71) 出願人
(22) 出願日	平成8年(1996)9月13日	株式会社東芝 神奈川県横浜市港北区新吉子町33番地 株 式会社東芝生産技術研究所内

(72) 発明者	川久 麗人
(73) 代理人	外川 英明

(74) 発明の名稱	結晶半導体の製造方法および製造装置
(75) 【要約】	【0001】本発明は非晶質シリコン膜をレーザアーニールにより結晶化させる技術を用いて、表面凹凸を λ/\sqrt{N} 測定によるRMS値 10 nm 以下に抑えられた平坦な多結晶シリコン膜を得ることができる、低リード電流、かつ絶縁強度特性の良好な(ゲート耐圧の高い)高移動度多結晶シリコンTFTが提供できる。
(76) 【解決手段】	【0002】本発明はモルタルアシストシリコン膜表面にエネルギーヒーメムを照射して、熱アーニールにより結晶化させて多結晶シリコン膜を形成する方法によく用いられる。この方法により形成した多結晶シリコン膜をチャネルに用いたTFTは、画素成長法やIMWで形成した多結晶シリコン膜を用いたTFTよりも高移動度であることが知られている。
(77) 【要點】	【0003】本発明は、上記問題点に鑑みて成されたもので、熱アーニールによる結晶化せた基板上に非晶質半導体膜を形成するため、耐熱性の高いガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

(78) 【請求項1】	結晶半導体の製造方法および製造装置
(79) 【請求項2】	【0004】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0005】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0006】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0007】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0008】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0009】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0010】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0011】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0012】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0013】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

【0014】図5に從来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度 300°C 以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいたため、結晶化のためのレーザアーニールを行うと多量の水素放出に伴つて膜アフレーションを行ふことと特徴とする多結晶シリコン膜の製造方法および製造装置である。

方法を提供するものである。ここで、基板は、ガラスやセラミック等の絕縁性基板の他に、シリコンなどの半導体基板であっても良い。この半導体基板上にシリコン電極、チッセシリコン膜などを形成した様な基板であっても良い。また、金属製基板上に電極シリコン、チッセシリコンなどの絶縁膜を形成したような基板であっても良い。更に、半導体は、シリコンに限るものではなく、他のI-V族半導体例えばGe、GaAs、Si等であっても良い。さらに、エネルギービームは、レーザービーム以外に、電子ビームであっても良い。

[0011] また、請求項2の免明は、被処理基板を収容する被処理基板上に非晶質半導体膜を形成する第1のチャンバーと、前記非晶質半導体膜の表面の自然酸化膜を除去するドライエッチング手段と、前記非晶質半導体膜表面にエネルギービームを照射する手段と、前記被処理基板を吸収し射出非晶質半導体膜表面に前記エネルギービームを照射可能な第2のチャンバーとを備え、前記第1のチャンバーと前記第2のチャンバーとを接続する真空系を構成することを特徴とする請求項1の免明は、請求項2の免明において、前記第1のチャンバー、前記第2のチャンバー、及び前記真空系の真空中で、多結晶半導体の製造装置を提供するものである。

[0012] さらに、請求項3の免明は、請求項2の免明において、前記第1のチャンバー、前記第2のチャンバー、並列真空室となる部を特質とする請求項1の免明は、請求項2の免明と同様に、前記第2のチャンバーと前記第1のチャンバーとを接続する真空系を構成する請求項2の免明と同様に、前記第1のチャンバーと前記第2のチャンバーとを接続する真空系を構成するため、多結晶シリコンの結晶粒径を大きくするため、多結晶シリコンTFTの移動度を向上させることができる。

[0013] 特にまた、請求項1において、前記非晶質シリコンには、プラスマCVD法により基板温度270°Cで形成して水素濃度2at.%以上を含むものを用い、レーザー二ニール前に熱処理を施すことにより結晶化時のレーザエネルギー密度が1×10⁻¹Pa以下に高くなる場合、自然酸化膜を除去した後にレーザー二ニール終了時にかかる時間が最大3分かかるため、その間に数Aの自然酸化膜が形成されてしまう。

[0014] さらに、請求項1において、ドライエッチング膜に無水HF/CH₃OHベースクリーニング法には、無水HF/CH₃OHベースクリーニング法を用いることができる。

[0015] 特にまた、請求項1において、ドライエッチング膜に無水HF/CH₃OHベースクリーニング法と異なることで、表面のバーディクルやカーボン、酸などの中間不純物を減少させることができるため、溶液中に多結晶シリコン膜中にそれらが混入することができない。この結果、多結晶シリコンTFTの移動度を向上させることができる。

[0016] [免明の実施の形態] 本免明は、非晶質半導体膜表面の自然酸化膜は除去することによっても、その後に非晶質シリコン膜3を大気に曝すことによっても、同様に自然酸化膜4は形成される(図2(d))。

アニールの間は大気には曝さないようにして製面酸化膜のない非晶質半導体膜を真空下留ましくは1×10⁻¹Pa以下の真空下でエネルギービームアーミムアーミムを行い、多結晶半導体や微結晶半導体などの結晶半導体に成長させることを特徴とする。この様な製造方法或いは製造装置は、H-F速度が増大するため、エッチングレートは遅くなる。自然酸化膜をエッチングする場合の最速条件として、製流量はHF/CH₃OH摩1SLM、CH₃OH側9SLMに設定した。非晶質シリコン表面の酸化シリコンのエッチングレートは1.5nm/minであった。

[0017] 以下、屋ましまいの態様と説明すると、本免明の製造方法ではレーザー二ニール前に自然酸化膜を除去し、その後にエチルアルコール溶剤時に不純物(例えば、炭末、塵)の混入を防ぐために、真空中のままエッチング処理を行った。非晶質シリコン膜表面3に形成される自然酸化膜4は膜厚は最大1.5nmであるため、エッチング時回数は2分としてオーバーエッチングにした。エッチングを終えた後、N₂ガスの流れを止め、再び真空中に引くことにより、残留ガスを十分に取り除く(図2(c))。

[0018] [実施例] 図1に、本免明の製造装置を示す。図1に示す如く、ドライエッチングチャンバー101、トランスマスター102、および非晶質シリコン膜を結晶化させるためのレーザー二ニールチャンバー103を備えており、ドライエッチングチャンバー101とトランスマスター102との間に真空ポンプが接続された構造である。真空ポンプには、ターボポンプ104とその配管を用いたロータリーオイルポンプ105が接続される。これによつて、それぞれのチャンバーは1×10⁻¹Pa以下の真空に保たれる。真空中で、自然酸化膜が除去された後はチャンバー101上に、アンダーコート膜2として酸化シリコン膜を形成した後に、前記酸化シリコン膜内に多結晶シリコン膜3が形成され、キャリアのトラップとなるため、TFT特性例えばON電流(移動度)、S/F比が劣化する(図2(e))。

後、図1に示したローディングチャンバー100に基板1をチャージして真空に引く。図1に示した装置では、ローディングチャンバー100には最大基板数1枚がチャージできるようになっており、枚葉式に基板を処理できるようになっている。1×10⁻¹Pa以下になったら、次のドライエッチングチャンバー101に基板を搬送する。そして、N₂流況調整を行い、所置の条件になつたら、エッチングを開始する。ドライエッチングチャンバー101において、表面の自然酸化膜4を上部の方法、条件において除去する。非晶質シリコン膜表面3に形成される自然酸化膜4の膜厚は最大1.5nmであるため、エッチング時回数は2分としてオーバーエッチングにした。エッチングを終えた後、N₂ガスの流れを止め、再び真空中に引くことにより、残留ガスを十分に取り除く(図2(c))。

[0019] 〔0020〕このようにHF/CH₃OHベースクリーニングでは、ドライエチルアルコール溶剤による洗浄効果を含んでS10×をエッチングできる。レーザー二ニールチャンバー103の真空中は1×10⁻¹Pa以下に設定する。レーザー二ニール前に自然酸化膜が形成されることに起因したレーザー二ニール溶剤時に不純物(例えば、炭末、塵)の混入を防ぐために、真空中のままエッチング処理を行った。非晶質シリコン膜表面3に形成される自然酸化膜4は膜厚は最大1.5nmであるため、エッチング時回数は2分としてオーバーエッチングにした。エッチングを終えた後、N₂ガスの流れを止め、再び真空中に引くことにより、残留ガスを十分に取り除く(図2(c))。

[0021] 〔0025〕次に、真空中のままエッチング処理を行った基板を真空(1×10⁻¹Pa)に保たれたトランスマスターチャンバー102を介してレーザー二ニールチャンバー103に搬送してレーザー二ニール処理を行う。例えは、2mmロービームを200μmピッチで照射するよう、基板の移動速度を決める。レーザー周波数は100～200Hzで設定し、非晶質シリコン膜表面3でのエネルギーを2.00～4.00J/cm²の間で設定し、レーザーピームを照射する(図2(d))。

[0026] 〔0028〕上述したレーザー照射によって基板全面の非晶質シリコン膜3を結晶化させ、多結晶シリコン膜3を得る。多結晶シリコン膜3のグレインサイズは非晶質シリコン膜3を結晶化させることで約4.00μm以下4.00～1.0μmであることが出来ます。4.00μm以下ではサイズが小さいため、移動速度が低下してしまう。一方、1μmを越えると、多結晶シリコン結晶膜内に多結晶の欠陥(晶界欠陥)が形成され、キャリアのトラップとなるため、TFT特性例えばON電流(移動度)、S/F比が劣化する(図2(e))。

[0027] 〔0029〕本実明用いて得られた多結晶シリコン膜の表面観察を行った結果を図3に示した。表面凹凸は、AFMを用いて測定した。測定用いた多結晶シリコン膜は、膜厚50nmの非晶質シリコン膜をレーザー二ニールして得られた。レーザ照射エネルギーは3.50mJ/cm²である。そのグレインサイズは6.00nmである。図3に、AFMで測定したRMS(平均二乗根差)とレーザー二ニール処理の関係を示す。比較として、上記の表面観察を行った結果を示す。比較して、上記したが、自然酸化膜を除去する処理を行わずに、レーザー二ニールして得られた多結晶シリコン膜を測定した。非晶質シリコン膜表面を未処理の状態でレーザー二ニールして結晶化した多結晶シリコン膜のRMSは1.0nm～2.0nmであるのにに対して、本実明を用いて得られた多結晶シリコン膜表面のRMSは1.0nmよりも小さくなることがわかった。

[0028] 〔0029〕さもなくば、この多結晶シリコン膜表面のRMSは1.0nmよりも小さくなることがわかった。

[0029] 〔0024〕次に、CVD終了もしくはドライエッチングチャンバー101と反応してS-FIとしてS-FIが生成され、S10×と反応してドライエチルアルコールと親和力が良いので、過剰のアルコールペーパーとともに排氣される。さらに、エッチング処理後、非晶質シリコン膜表面3に残るカーボン汚染の量も低減できる。残留ガスの流はスマスフローコントローラー107を用いて制御される。HF/CH₃OHおよびCH₃OHガスは、HF/CH₃OH10.0およびCH₃OH10.0溶渡を用いる。そのペーパーの温度比は、溶渡の温度比で等しく、

がTFT特性に及ぼす影響を調べた。そこで、未処理の状態でレーザアニール焼除法を行った多結晶シリコン膜と、本発明を用いて得られた多結晶シリコン膜を形成して、ソース・ドライン電極を用いた。ソース・ドライン電極には、A-1-S1を用いた。測定に用いたTFTは、コアナ型D-p-c TFTを作製した。このTFTは、多結晶シリコン膜上には、ゲート電極をECR-CVD法により成膜した。厚さは7 nmである。またゲート電極には、Mo-Taをスパッタ法により形成した。ゲート電極厚は250 nmである。次に、ゲート電極をマスクとしてB-1をイオンドーピングし、ソースおよびドライン側面を形成した。イオンドーピング条件は、B2H6ガスを使用した。次に、層間絕縁膜には、SiOx膜を^{*} [図30]

[表1]

測定電圧	ドライエッチング後レーザアニール	ドライエッチングなしレーザアニール
100Hz	45.9V	35.2V
200Hz	47.7V	38.9V

測定結果はTFT 20個の平均値である。レーザの施加周波数100 Hzおよび200 Hzでレーザアニールした場合で、レーザエネルギーは3.5 mJ/cm²とした。この条件において、移動度は1.0~1.2 cm²/Vsの範囲で得られた。どちらの場合でも、レーザアニール前に自然酸化膜除去法を行ったほうが、除去を行わない場合よりも1.0 V程度ゲート絶縁電圧が改善されただことがわかる。また、自然酸化膜除去法をすることにより、リーケ電流が低減したことでも確認された。
[図30-1] 上記のように、本発明の施加方法および製造法を用いて、レーザアニール前に自然酸化膜を除去することにより、レーザアニール法で得られる多結晶シリコン膜の表面は平坦化し、低リーケ電流、かつゲート絶縁電圧が高いTFTを作製できる。

[図30-2] 以上のように、レーザアニール前に自然酸化膜除去して、その酸化膜除去工程からアニール工程まで大気に露されないため、膜表面に酸化膜がない状態を保つまま非晶質シリコン膜をレーザアニール法により焼成化する。それによって、酸素原子や表面不純物の吸収による表面凹凸を1.0 nm以下に抑えられた多結晶シリコン膜が得られ、低リーケ電流で、かつ焼成後焼成特性の良好な（ゲート電圧が低い）高移動度多結晶シリコンTFTが提供できる。

[図30-3] このTFTを例えば薄膜トランジスタ方式の液晶表示装置の圖様スイッチング素子および周辺駆動回路素子の用いる。上述の方法を用いて、ガラス基板上に圖様スイッチング素子としてn-c TFTを形成し、同時にCMOS構造で駆動回路用としてn-c TFTおよびp-c TFTを基板周辺部に形成する。各圖様TFTには、形成時に助燃性C_xH_y等でバッファーション層を形成した後に、その上にSiNx等で基板を覆り合わせて、被覆を注入する。圖様スイッチング素子には、

(1)

10

成方法の工程断面図

[図3] AN測定による RMS 値とレーザアニール前後における自然酸化膜除去法を示す。図の関係を説明する

[図4] 本発明の実施例2における多結晶半導体の製造装置を示す

[図5] 従来の多結晶半導体の製造方法の工程順の断面図

[符号の説明]

1.絶縁基板

2.アンダーコート膜

3.脱水素したアモルファスシリコン膜

4.自然酸化膜

[図6] 従来の多結晶シリコンの多結晶シリコン膜

[図7] 本発明の多結晶シリコンの多結晶シリコン膜

[図8] 本発明の多結晶シリコンの多結晶シリコン膜

[図9] 本発明の多結晶シリコンの多結晶シリコン膜

[図10] 本発明の多結晶シリコンの多結晶シリコン膜

[図11] 本発明の多結晶シリコンの多結晶シリコン膜

[図12] 本発明の多結晶シリコンの多結晶シリコン膜

[図13] 本発明の多結晶シリコンの多結晶シリコン膜

[図14] 本発明の多結晶シリコンの多結晶シリコン膜

[図15] 本発明の多結晶シリコンの多結晶シリコン膜

[図16] 本発明の多結晶シリコンの多結晶シリコン膜

[図17] 本発明の多結晶シリコンの多結晶シリコン膜

[図18] 本発明の多結晶シリコンの多結晶シリコン膜

[図19] 本発明の多結晶シリコンの多結晶シリコン膜

[図20] 本発明の多結晶シリコンの多結晶シリコン膜

[図21] 本発明の多結晶シリコンの多結晶シリコン膜

[図22] 本発明の多結晶シリコンの多結晶シリコン膜

[図23] 本発明の多結晶シリコンの多結晶シリコン膜

[図24] 本発明の多結晶シリコンの多結晶シリコン膜

[図25] 本発明の多結晶シリコンの多結晶シリコン膜

[図26] 本発明の多結晶シリコンの多結晶シリコン膜

[図27] 本発明の多結晶シリコンの多結晶シリコン膜

[図28] 本発明の多結晶シリコンの多結晶シリコン膜

[図29] 本発明の多結晶シリコンの多結晶シリコン膜

[図30] 本発明の多結晶シリコンの多結晶シリコン膜

[図31] 本発明の多結晶シリコンの多結晶シリコン膜

[図32] 本発明の多結晶シリコンの多結晶シリコン膜

[図33] 本発明の多結晶シリコンの多結晶シリコン膜

[図34] 本発明の多結晶シリコンの多結晶シリコン膜

[図35] 本発明の多結晶シリコンの多結晶シリコン膜

(5)

11

12

13

14

15

16

17

18

19

20

21

22

23

24

25

26

27

28

29

30

31

32

33

34

35

36

37

38

39

40

41

42

43

44

45

46

47

48

49

50

51

52

53

54

55

56

57

58

59

60

61

62

63

64

65

66

67

68

69

70

71

72

73

74

75

76

77

78

79

80

81

82

83

84

85

86

87

88

89

90

91

92

93

94

95

96

97

98

99

100

101

102

103

104

105

106

107

108

109

110

111

112

113

114

115

116

117

118

119

120

121

122

123

124

125

126

127

128

129

130

131

132

133

134

135

136

137

138

139

140

141

142

143

144

145

146

147

148

149

150

151

152

153

154

155

156

157

158

159

160

161

162

163

164

165

166

167

168

169

170

171

172

173

174

175

176

177

178

179

180

181

182

183

184

185

186

187

188

189

190

191

192

193

194

195

196

197

198

199

200

201

202

203

204

205

206

207

208

209

210

211

212

213

214

215

216

217

218

219

220

221

222

223

224

225

226

227

228

229

230

231

232

233

234

235

236

237

238

239

240

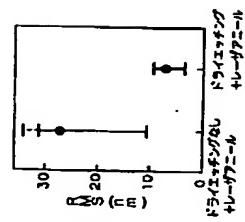
241

242

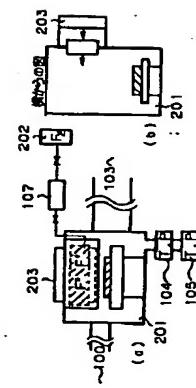
243

(1)

[図3]



[図4]



[図5]

